**Trường Đại học Công Nghiệp Hà Nội**

**Khoa công nghệ thông tin**

-----🙞🙜🕮🙞🙜-----



**Bài tập tiểu luận môn học: KTMT**

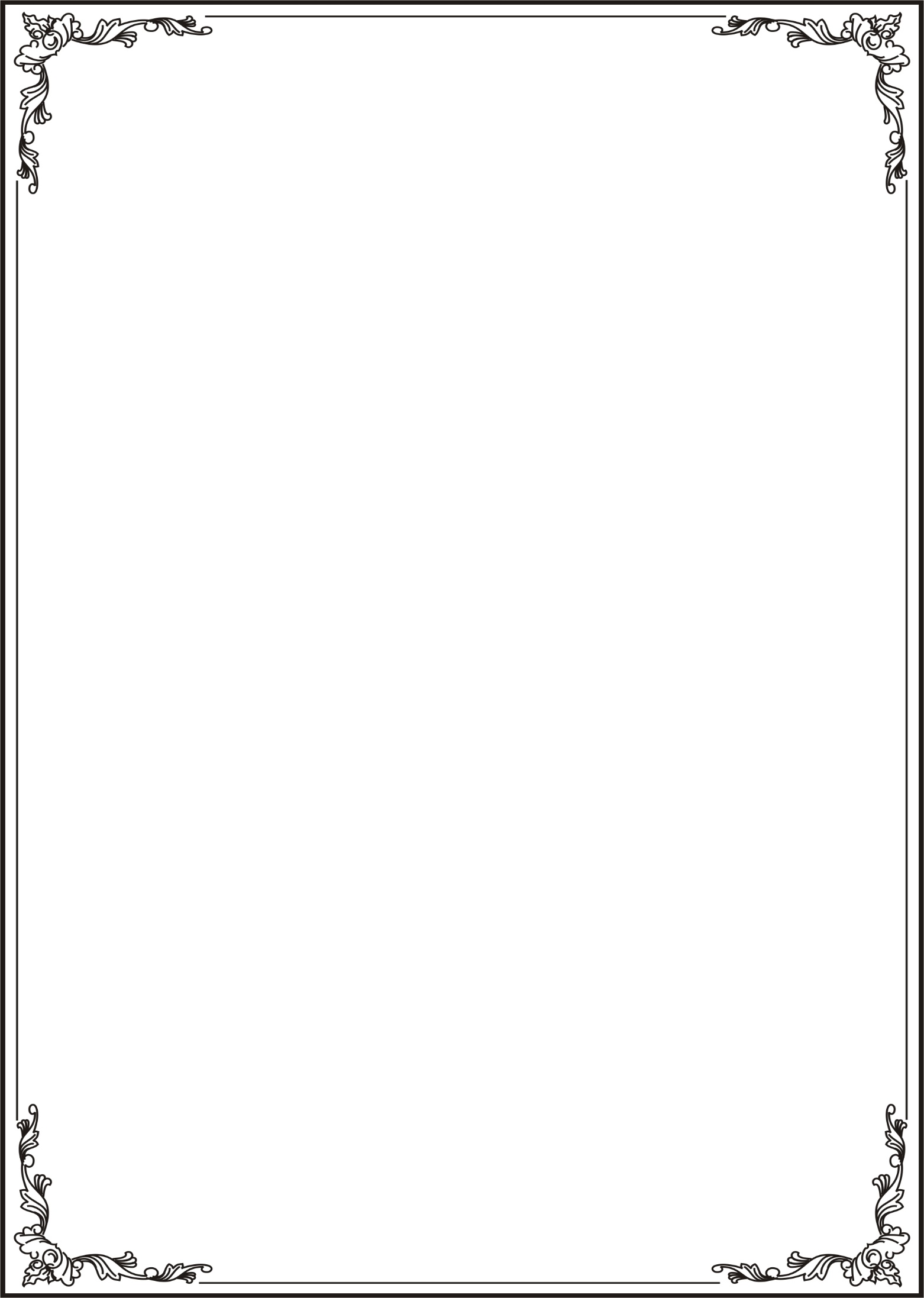
**Đề tài: Nghiên cứu tìm hiểu về vi mạch điều khiển ưu tiên ngắt PIC 8259A, cơ chế hoạt động của hệ thống ngắt cứng với PIC 8259A (Priority Interrupt Controller)**

**Giáo viên:** Ths Nguyễn Tuấn Tú

**Nhóm số:** 12

**Lớp:** 0503188.5

Hà Nội, 2021

**Trường Đại học Công Nghiệp Hà Nội**

**Khoa công nghệ thông tin**

-----🙞🙜🕮🙞🙜-----



**Bài tập tiểu luận môn học: KTMT**

**Đề tài: Nghiên cứu tìm hiểu về vi mạch điều khiển ưu tiên ngắt PIC 8259A, cơ chế hoạt động của hệ thống ngắt cứng với PIC 8259A (Priority Interrupt Controller)**

**Giáo viên:** Ths Nguyễn Tuấn Tú

**Sinh viên thực hiện:**

Đặng Xuân Hoàng

Lý Văn Khải

Dương Quốc Khánh

Phùng Thế Khánh

Ngô Văn Triết

**Lớp:** 0503188.5

Hà Nội, 2021

Mục Lục

[Lời nói đầu. 1](#_Toc89802900)

[Chương 1: Khái niệm và phân loại mạch ngắt. 2](#_Toc89802901)

[1.1 Khái niệm ngắt 2](#_Toc89802902)

[1.2 Phân loại mạch ngắt. 2](#_Toc89802903)

[1.2.1. Mạch ngắt cứng. 3](#_Toc89802904)

[1.2.2. Mạch ngắt mềm. 3](#_Toc89802905)

[1.2.3. Mạch ngắt địa chỉ. 3](#_Toc89802906)

[Chương 2: Sơ đồ chân và chức năng các chân tín hiệu 4](#_Toc89802907)

[2. 1 Sơ đồ chân: 4](#_Toc89802908)

[Hình 2.1: sơ đồ chân 4](#_Toc89802909)

[2.2 Chức năng của các chân tín hiệu 5](#_Toc89802910)

[Chương 3. Sơ đồ khối, chức năng các khối và các thanh ghi 6](#_Toc89802911)

[3.1. Sơ đồ khối 6](#_Toc89802912)

[Hình 3.1. Sơ đồ khối vi mạch PIC 8259A 6](#_Toc89802913)

[3.2. Chức năng các khối 6](#_Toc89802914)

[3.2.1. Khối xử lý mức ưu tiên của ngắt 6](#_Toc89802915)

[3.2.2. Khối đệm bus dữ liệu (Data Bus Buffer) 7](#_Toc89802916)

[3.2.3. Khối logic điều khiển đọc/ghi (Read/Write Control Logic) 7](#_Toc89802917)

[3.2.4. Khối so sánh và xử lý song song (Cascade Buffer/Comparator) 8](#_Toc89802918)

[3.3. Chức năng các thanh ghi 8](#_Toc89802919)

[Chương 4: Sơ đồ ghép nối, cơ chế hoạt động của vi mạch và hệ thống ngắt cứng PIC 8259A. 9](#_Toc89802920)

[4.1 Sơ đồ ghép nối. 9](#_Toc89802921)

[Hình 4.1: Sơ đồ ghép nối PIC 8259A 9](#_Toc89802922)

[Hình 4.2: 8259A ghép liên tầng 10](#_Toc89802923)

[4.2 Nguyên tắc ghép nối. 10](#_Toc89802924)

[4.3 Cơ chế hoạt động. 15](#_Toc89802925)

[4.3.1 Hoạt động cơ bản của vi mạch 8259A. 15](#_Toc89802926)

[4.3.2 Các chế độ hoạt động khác. 16](#_Toc89802927)

[4.3.2.1 Chế độ hoạt động đầy đủ (Full Nested Mode) 16](#_Toc89802928)

[4.3.2.2 Chế độ hoán đổi thứ tự ưu tiên (Rotating Priority Mode) 17](#_Toc89802929)

[4.3.2.3 Chế độ che đặc biệt (Special Mask Mode- SMM) 18](#_Toc89802930)

[4.3.2.4 Chế độ quay vòng (Polled Mode) 18](#_Toc89802931)

[Hình 4.3: Hệ thống gia tăng mức ưu tiên ngắt 19](#_Toc89802932)

[Chương 5: Lập trình cho vi mạch 8259A 21](#_Toc89802933)

[5.1 Trạng thái của vi mạch 8259A 21](#_Toc89802934)

[5.2 Lập trình cho vi mạch 8259A 21](#_Toc89802935)

[5.2.1 Từ lệnh khởi tạo(Initialization Command Word – ICW) 22](#_Toc89802936)

[Hình 5.1: lược đồ từ lệnh khởi tạo 22](#_Toc89802937)

[Hình 5.2: Từ lệnh khởi tạo 1 22](#_Toc89802938)

[Hình 5.3: Từ lệnh khởi tạo 2 23](#_Toc89802939)

[Hình 5.4 Từ lệnh khởi tạo 3 24](#_Toc89802940)

[Hình 5.5: Từ lệnh khởi tạo 4 24](#_Toc89802941)

[5.2.2 Từ lệnh hoạt động (Operation Command Word - OCW). 25](#_Toc89802942)

[Hình 5.6 Từ lệnh hoạt động 1 25](#_Toc89802943)

[Hình 5.7 Từ lệnh hoạt động 2 25](#_Toc89802944)

[Hình 5.8 Từ lệnh hoạt động 3 26](#_Toc89802945)

[Kết Luận 27](#_Toc89802946)

# Lời nói đầu.

Ngày nay với sự bùng nổ của khoa học kĩ thuât và cuộc cách mạng công nghiệp 4.0 nên đã có rất nhiều phương pháp vào/ra dữ liệu giữa CPU và thiết bị ngoại vi được phát minh, xong phương pháp nào cũng có ưu nhược điểm và cần phải có các chương trình điều khiển vào/ra phù hợp. Các chương trình điều khiển vào/ra thường được tích hợp sẵn ở trong các mạch phần cứng như BIOS, ROM có các chương trình điều khiển vào/ra cơ bản của hệ thống (các chương trình con phục vụ ngắt của BIOS), các môđun vào/ra được lập trình điều khiển sẵn và cho phép thiết lập, truyền các thông số làm việc khác nhau để người sử dụng có thể thực hiện thao tác điều khiển vào/ra dữ liệu với thiết bị một cách tiện lợi.

Thiết bị giao diện chỉ giúp CPU kết nối một cách thích hợp về mặt vật lý với các thiết bị ngoại vi, nhưng chưa đảm bảo tính tin cậy của quá trình trao đổi dữ liệu. Điều này xuất phát từ một thực tế khách quan là nhịp làm việc (có tốc độ làm việc) của CPU nhanh hơn rất nhiều nhịp làm việc của các thiết bị ngoại vi với độ tin cậy cao, cần phải áp dụng các phương pháp vào/ra dữ liệu thích hợp. Có bốn phương pháp vào/ra dữ liệu, nằm trong hai nhóm phương pháp khác nhau. Trong đó, phương pháp vào/ra dữ liệu theo ngắt cứng là phương pháp mà trong đó thiết bị vào/ra chủ động khởi động quá trình vào/ra dữ liệu nhờ hệ thống ngắt cứng. Thông thường quá trình vào/ra theo ngắt cứng được sự trợ giúp bởi thiết bị điều khiển ngắt PIC(Priority Interrupt Controller). Ưu điểm của phương pháp này là CPU thực hiện vào/ra dữ liệu ngay khi có yêu cầu từ thiết bị vào/ra, do vậy điều này làm cho độ tin cậy trao đổi dữ liệu cao hơn phương pháp thăm dò; CPU không phải thăm dò trạng thái sẵn sàng của thiết bị vào/ra nên không lãng phí thời gian CPU, do vậy tăng hiệu quả làm việc cho CPU. Do những ưu điểm này mà phương pháp vào/ra dữ liệu theo ngắt cứng được để thực hiện với hầu hết các thiết bị vào/ra với máy tính. Tuy nhiên với phương pháp này, quá trình chuyển dữ liệu vào bộ nhớ vẫn phải qua CPU, tức là CPU vẫn phải điều khiển vào/ra dữ liệu nên chưa giành được nhiều thời gian xử lý dữ liệu, do vậy hiệu năng hoạt động của toàn hệ thống vẫn chưa phải cao nhất.

Chúng em xin bày tỏ lòng biết ơn chân thành tới thầy Nguyễn Tuấn Tú đã đưa ra đề tài giúp chúng em hiểu rõ hơn về mạch ưu tiên ngắt PIC 8259A và giúp đỡ chúng em hoàn chỉnh nội dung bài tiểu luận.

Do kiến thức và tầm hiểu biết của chúng em còn hạn hẹp vì vậy khó tránh khỏi những sai sót nên chúng em kính mong nhận được những ý kiến đóng góp của thầy để bài tiểu luận được hoàn thiện hơn.

Nhóm sinh viên thực hiện!

# Chương 1: Khái niệm và phân loại mạch ngắt.

## 1.1 Khái niệm ngắt

Khi một thiết bị phần cứng hay một chương trình cần đến sự giúp đỡ của CPU gửi đi một tín hiệu hoặc lệnh gọi là ngắt đến bộ vi xử lý chỉ định một công việc cụ thể nào đó mà nó cần CPU thực hiện. Khi bộ vi xử lý nhận được tín hiệu ngắt nó thường tạm ngưng tất cả các hoạt động khác và kích hoạt một chương trình con đang có trong bộ nhớ gọi là chương trình xử lý ngắt tương ứng với từng số liệu ngắt cụ thể.Sau khi chương trình xử lý ngắt làm xong nhiệm vụ, các hoạt động của máy tính sẽ tiếp tục lại từ nơi đã bị tạm dừng lúc xảy ra ngắt.

Ngắt (interrupt) là khả năng tạm dừng chương trình chính dể thực hiện chương trình khác gọi là chương trình con xử lý ngắt. Ngắt có hai phần: hiệu số ngắt và chức năng ngắt.Hiệu số ngắt được gọi tắt là ngắt, mỗi ngắt có nhiều chức ngăn khác nhau do thanh ghi AH quy định.

## 1.2 Phân loại mạch ngắt.

Có ba loại ngắt chính: Đầu tiên là các ngắt được tạo ra bởi mạch điện của máy tính nhằm đáp lại một sự kiện nào đó như nhấn phím trên bàn phím. Các ngắt này được bộ điều khiển ngắt 8259A quản lý, 8259A sẽ ấn định mức độ ưu tiên cho từng ngắt rồi gửi đến CPU. Sau đó là các ngắt do CPU tạo ra khi gặp phải một kết quả bất thường trong khi thực hiện chương trình như chia cho 0 chẳng hạn ... và Cuối cùng là các ngắt do chính chương trình tạo ra nhằm gọi các chương trình con ở xa đang nằm trong ROM hoặc RAM, những ngắt này gọi là ngắt mềm chúng thường là bộ phận của các chương trình con phục vụ của ROM-BIOS hoặc của DOS. Các ngắt trong PC có thể chia thành 7 nhóm như sau:

Các ngắt vi xử lý: thường gọi là các ngắt logic được thiết kế sẵn trong bộ VXL. Bốn trong số các ngắt này (0,1,3,4) do chính bộ VXL tạo ra còn ngắt 2 (NMI) sẽ được kích hoạt khi

Ngoài ra còn có loại ngắt đặc biệt là ngắt không thể che dấu NMI (Non-Maskable Interrupt) yêu cầu CPU phụ vụ ngay khi có tín hiệu. Ngắt NMI thường dùng để xác minh nếu xảy ra lỗi nghiêm trọng hoặc dừng tất cả các hoạt động do lỗi như: lỗi bộ nhớ, sụt hoặc tăng điện áp. Nên NMI là loại ngắt có mức ưu tiên cao nhất.

### 1.2.1. Mạch ngắt cứng.

Các ngắt cứng: là sự kiện CPU phải tạm dừng tiến trình đang thực hiện để chuyển sang thực hiện tiến trình phục vụ ngắt khi có yêu cầu ngắt từ phần mạch bên ngoài gửi đến CPU được thiết kế sẵn trong phần cứng của của PC,tám ngắt trong số các ngắt này (2,8,9,từ Bh đến Fh) được gắn chết vào trong bộ VXL hoặc vào bảng mạch chính của hệ thống. Tất cả các ngắt cứng đều do 8259A điều khiển. Các tín hiệu này đến từ các chân INTR và NMI.

* Ngắt cứng NMI là yêu cầu ngắt không che được tương đương với ngắt mềm INT2.
* Ngắt cứng INTR là yêu cầu ngắt che được. Yêu cầu ngắt tại chân INTR có thể có kiểu ngắt N nằm trong khoảng 0-FFH. Kiểu ngắt này phải được đưa vào bus dữ liệu để CPU có thể đọc được khi có xung INTA trong chu kì trả lời chấp nhận ngắt.

### 1.2.2. Mạch ngắt mềm.

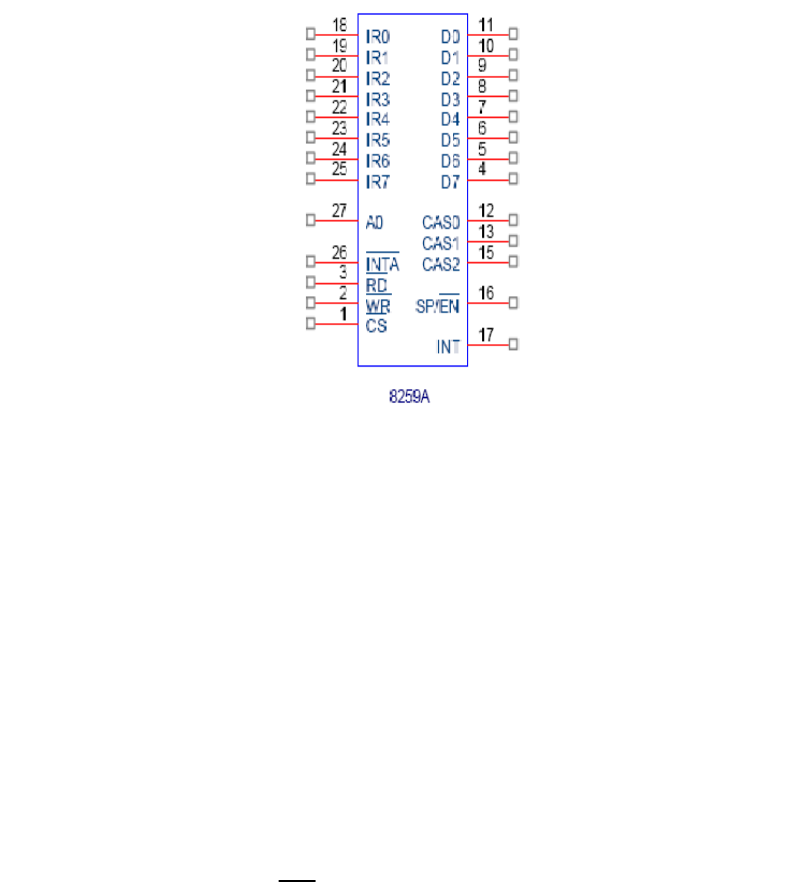
Các ngắt mềm: là một phần của các chương trình ROM -BIOS, các số hiệu dành cho các ngắt của ROM- BIOS là 5,từ 10h đến 1C hex và 48h, được thực hiện trên hợp ngữ thông qua lệnh INT. Đối với các ngôn ngữ bậc cao hơn, vẫn cho phép thực hiện gọi ngắt nhưng phải được biên dịch thành lệnh INT trong hợp ngữ rồi mới thực hiện. Ngoài ra còn có các ngắt DOS và ngắt BASIC phục vụ hệ điều hành DOS và chương trình BASIC.

### 1.2.3. Mạch ngắt địa chỉ.

Các ngắt địa chỉ: Các số hiệu dành cho các ngắt này là từ 1Dhex đến 1Fhex. Ba trong số các ngắt này trỏ đến ba bảng rất quan trọngđó là bảng khởi tạo màn hình,bảng cơ sở đĩa và bảng các ký tự đồ thị.Các bảng này chứa các tham số được ROM BIOS dùng khi khởi động hệthống và tạo các ký. Nếu cùng một thời điểm có nhiều lệnh ngắt thuộc các ngắt khác nhau đòi hỏi CPU cùng xử lý thì CPU sẽ xử lý ngắt theo thứ tự ưu tiên vơi nguyên tắc ngắt nào có mức ưu tiên cao hơn sẽ được CPU nhận biết và phục vụ trước.

# Chương 2: Sơ đồ chân và chức năng các chân tín hiệu

## 2. 1 Sơ đồ chân:



### *Hình 2.1: sơ đồ chân*

\*Gồm có:

- 8 chân D được đánh số từ D0 đến D7, được đánh số theo thứ tự 4 đến 11: Đầu ghép nối dữ liệu hai chiêu được nối với nửa cao hay thấp của dữ liệu.

- 3 chân CAS đáng số từ CAS0 đến CAS 2 là các chân thứ 12,13,15: (Cascad line): đầu ra từ master tới slave khi sử dụng nhiều 8259A trong hệ thống.

- 1 chân SP/EN là chân thứ 16: SP/EN (Slave Program/ Enerble Buffer): Chân hai chức năng:

+ Khi 8259A ở chế độ đệm thì đây là đầu ra điều khiển quá trình trao đổi của bus dữ liệu.

+ Khi 8259A không ở chế độ đệm chân này được lập trình thiết bị như là master hoặc slave.

- 1 chân INT là chân thứ 17: (interrput): nối với INTR của 8088 ở chế độ master và nối với các chân IR trong chế độ slave.

- 8 chân IR được đnahs số từ IR0 đến IR7 là các chân được đánh số thứ tự 18 đến 25: : Đầu vào yếu cầu ngắt nối với slave trong hệ thống có nhiều 8259A.

- 1 chân INTA là chân thứ 26: đầu nối với tín hiệu INTA của hệ thống, trong hệ thống có 1 master và nhiều slave chỉ có INTA của master được nối

- 1 chân A0 là chân thứ 27: đầu vào chọn các từ lệnh khác nhau trong 8259A.

- 1 chân CS là chân thứ 1: Tín hiệu chọn mạch

- 1 chân WR là chân thứ 2. nối với phần thấp hoặc phần cao của tín hiệu ghi.

- 1 chân RD là chân thứ 3. Đầu vào nối tín hiệu IORC.

## 2.2 Chức năng của các chân tín hiệu

**-** D0 – D7: Đầu ghép nối dữ liệu hai chiêu được nối với nửa cao hay thấp của dữ liệu.

- IR0 – IR7: Đầu vào yếu cầu ngắt nối với slave trong hệ thống có nhiều 8259A.

- CAS0 – CAS2 (Cascad line): đầu ra từ master tới slave khi sử dụng nhiều 8259A trong hệ thống.

- SP/EN (Slave Program/ Enerble Buffer): Chân hai chức năng:

+ Khi 8259A ở chế độ đệm thì đây là đầu ra điều khiển quá trình trao đổi của bus dữ liệu.

+ Khi 8259A không ở chế độ đệm chân này được lập trình thiết bị như là master hoặc slave.

- INT (interrput): nối với INTR của 8088 ở chế độ master và nối với các chân IR trong chế độ slave.

- INTA: đầu nối với tín hiệu INTA của hệ thống, trong hệ thống có 1 master và nhiều slave chỉ có INTA của master được nối.

- A0: đầu vào chọn các từ lệnh khác nhau trong 8259A.

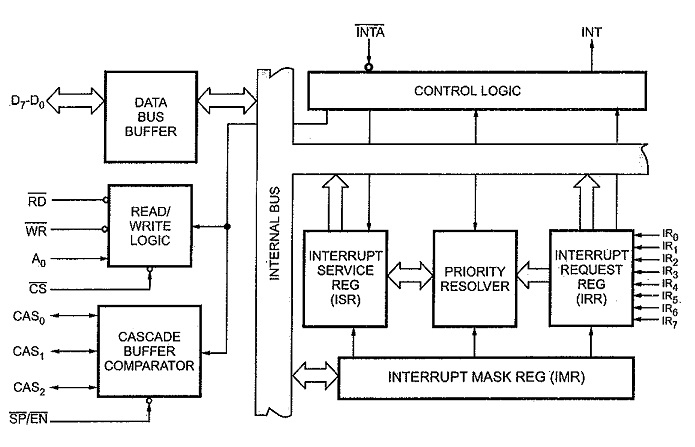
- CS: Tín hiệu chọn mạch.

- WR: nối với phần thấp hoặc phần cao của tín hiệu ghi.

- RD: Đầu vào nối tín hiệu IORC.

# Chương 3. Sơ đồ khối, chức năng các khối và các thanh ghi

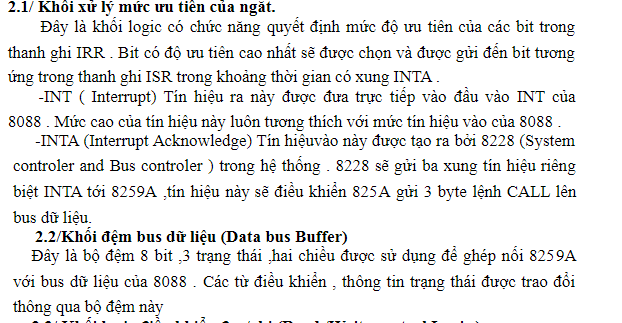
## 3.1. Sơ đồ khối



### *Hình 3.1. Sơ đồ khối vi mạch PIC 8259A*

## 3.2. Chức năng các khối

### 3.2.1. Khối xử lý mức ưu tiên của ngắt



Đây là khối logic có chức năng quyết định mức ưu tiên của các bit trong ghi IRR. Bit có độ ưu tiên cao nhất sẽ được chọn và được gửi đến bit tương ứng trong thanh ghi ISR trong khoảng thời gian có xung INTA.

INT (Interrupt): Đầu ra INT từ 8259A đi đến đầu vào ngắt CPU. Dòng này dùng để thông báo cho CPU về thiết bị ngắt đang ngắt bộ vi xử lý. Mức VOH trên dòng này được thiết kế để hoàn toàn tương thích với các mức đầu vào 8080A, 8085A và 8086A

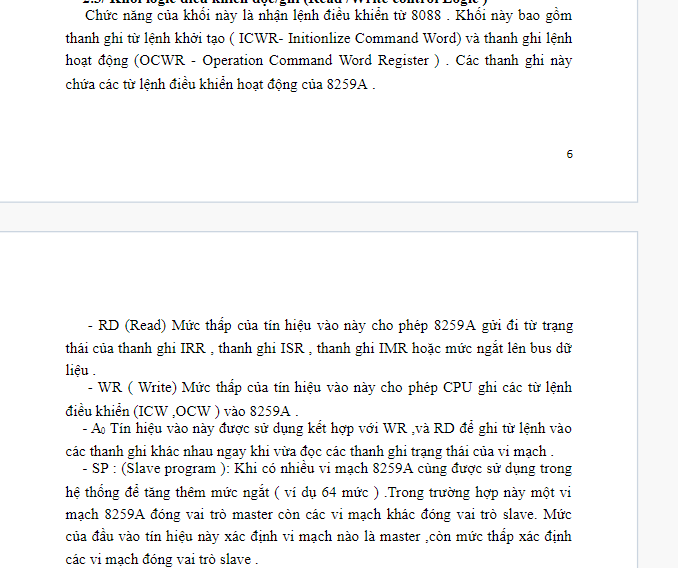
INTA (Interrupt Acknowledge): Xung INTA sẽ làm cho 8259A giải phóng thông tin địa chỉ vectơ của quy trình dịch vụ ngắt (ISR) lên bus. Định dạng của dữ liệu này phụ thuộc vào chế độ hệ thống (PM) của 8259A.

### 3.2.2. Khối đệm bus dữ liệu (Data Bus Buffer)

Khối này được sử dụng như một bộ trung gian giữa bộ vi xử lý 8259 và 8085/8086 bằng cách hoạt động như một bộ đệm. Nó nhận từ điều khiển từ bộ vi xử lý 8085 (giả sử) và chuyển nó sang logic điều khiển của bộ vi xử lý 8259.

Ngoài ra, sau khi lựa chọn ngắt bởi bộ vi xử lý 8259, nó sẽ chuyển opcode của ngắt đã chọn và địa chỉ của quy trình phụ dịch vụ Ngắt sang bộ vi xử lý được kết nối khác. Bộ đệm bus dữ liệu bao gồm 8 bit được biểu diễn dưới dạng D0-D7 trong sơ đồ khối. Do đó, cho thấy rằng có thể truyền tối đa 8 bit dữ liệu tại một thời điểm

### 3.2.3. Khối logic điều khiển đọc/ghi (Read/Write Control Logic)\



Chức năng khối này là chấp nhận các lệnh từ CPU. Nó bao gồm một thanh ghi Command từ khởi tạo (ICW) và thanh ghi Operation Command (OCW) lưu trữ các định dạng điều khiển khác nhau. Nó cũng cho phép chuyển trạng thái của 8259 sang bus dữ liệu. Nó có các tín hiệu điều khiển sau:

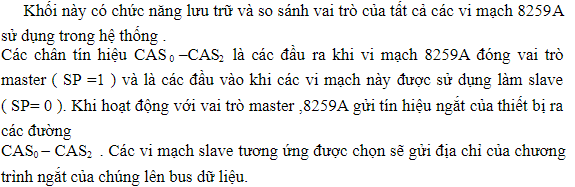
-CS’ (Chip Select): Đây là một tín hiệu hoạt động thấp được sử dụng để chọn chip. Không thể thực hiện thao tác nào cho đến khi chọn Chip thông qua đầu vào này.

- RD’ (Read): Tín hiệu hoạt động thấp được sử dụng để đọc thông tin trạng thái của IRR, ISR, IMR hoặc mức ngắt vào bus dữ liệu.

-WR’ (Write): Tín hiệu hoạt động thấp được sử dụng để ghi các từ lệnh điều khiển (ICW và OCW) lên 8259A.

-A0: Đầu vào Địa chỉ A0 từ bộ xử lý có thể được kết nối trực tiếp với chân A0 của 8259A và được sử dụng với các lệnh RD’ và WR’ để ghi và chọn các thanh ghi trạng thái khác nhau cho quá trình đọc.

### 3.2.4. Khối so sánh và xử lý song song (Cascade Buffer/Comparator)



Chức năng của khối này là: một là đầu vào để xác định xem 8259A là chính (SP '/ EN' = 1) hay là phụ (SP '/ EN' = 0), hoặc là đầu ra để tắt bộ thu phát bus dữ liệu khi dữ liệu đang được truyền từ 8259A cho CPU.

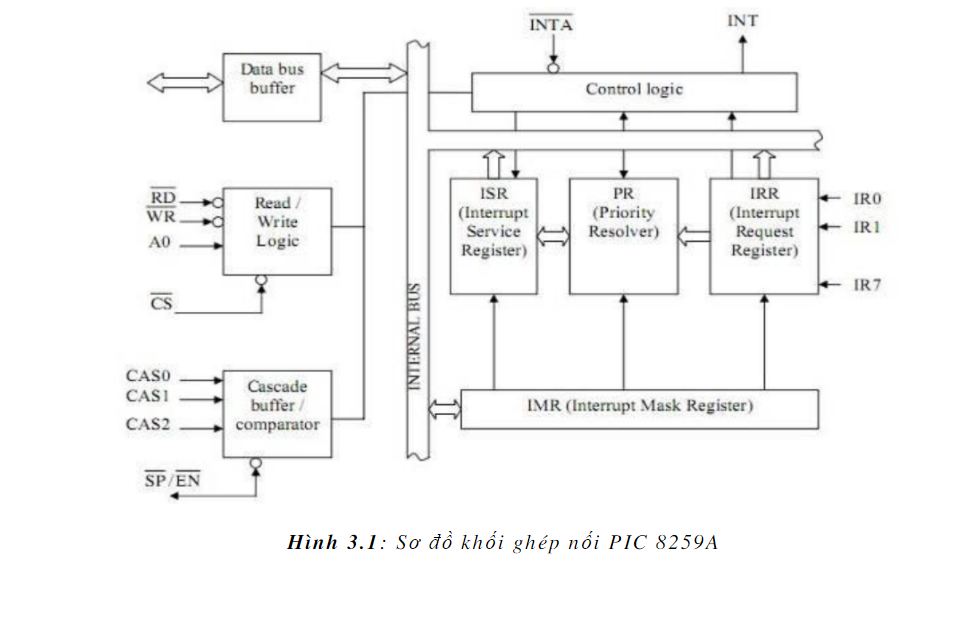
Khối này rất quan trọng khi sử dụng nhiều hơn 8 ngắt. Điều này cho phép nhiều 8259A được xếp tầng cho mục đích này. Nó tổng hợp các ID của tất cả 8259A. CAS0-đến-CAS2 là đầu ra từ 8259A khi được sử dụng làm chính và là đầu vào khi được sử dụng làm phụ. Với tư cách là thiết bị chính, 8259A gửi ID của thiết bị phụ ngắt lên các đường CAS0-CAS2. Thiết bị phụ được chọn sẽ gửi địa chỉ chương trình con được lập trình trước của nó lên bus dữ liệu trong một hoặc hai xung INTA liên tiếp tiếp theo.

## 3.3. Chức năng các thanh ghi

Các tín hiệu yêu cầu ngắt được điều khiển bởi đồng thời hai thanh ghi: thanh ghi yêu cầu ngắt (IRR - Interrupt Request Register) và thanh ghi phục vụ ngắt (ISR – Interrupt Service Register). Thanh ghi IRR được dùng để lưu trữ tất cả mức ngắt được yêu cầu cho các dịch vụ ngắt, nó có thể lưu trữ 8 yêu cầu ngắt đang yêu cầu dịch vụ từ bộ xử lý. Thanh ghi ISR dùng để lưu trữ mức ngắt hiện đang được thực thi. Thanh ghi IRR được khởi tạo bằng tín hiệu INTA, các bit qua thanh ghi được xác lập bằng xung tín hiệu INTA đồng thời bit tương ứng của thanh ghi IRR cũng được tạo lại trong thời gian này, Bit này sẽ giữ nguyên trạng thái trong suốt chương trình ngắt cho đến khi 8259A nhận được lệnh EOI (End Of Interrupyt).

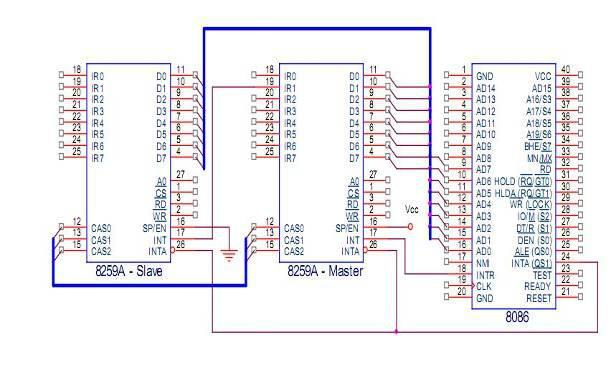
# Chương 4: Sơ đồ ghép nối, cơ chế hoạt động của vi mạch và hệ thống ngắt cứng PIC 8259A.

## 4.1 Sơ đồ ghép nối.



### *Hình 4.1: Sơ đồ ghép nối PIC 8259A*

* Các khối chức năng:
* Bộ đệm dữ liệu (Data Buffer): được sử dụng khuếch đại dữliệu.
* Logic đọc ghi (Read/Write Logic): điều khiển đọc ghi bộ đệm và so sánh nối tầng: Nối PIC 8259A thành PIC thợ.
* Logic điều khiển (Control Logic): tạo các tín hiệu ghi và đọc các thanh ghi đệm.
* Thanh ghi ISR (In Service Register): chứa các chương trình con xử lí ngắt
* PR (Priority Resolver): giải quyết ưu tiên.
* IRR (Interupt Request Register): thanh ghi 8 mức ưu tiên từTBNV.
* IMR (Interrupt Mask Register): cho người lập trình biết ngắt có che được hay không. Các tín hiệu điều khiển CAS0 đến CAS2 (in, out): các ngõ vào chọn mạch 8259A tới (slave) từ mạch 8259A chủ (master) trong trường hợp dùng nhiều mạch 8259A để tăng yêu cầu ngắt.
* SP/ EN (slave program/Enable buffer): Nếu 8259A hoạt động ở chế độ không dùng đệm dữ liệu thì tín hiệu này dùng để xác định mạch 8259A là mạch chủ (SP = 1) hay tới (SP = 0). Nếu 8259A hoạt động ở chế độ có đệm dữ liệu thì tín hiệu này dùng để cho phép giao tiếp giữa 8259A và CPU, khi đó mạch 8259A là master hay slave phải dựa vào từ lệnh khởi động ICW4.
* INT (out): Tín hiệu yêu cầu ngắt đưa đến CPU (INTR).
* INTA (in): Nhận trả lời chấp nhận ngắt hay không từ CPU (chân INTA).
* Trong trường hợp hệ thống có số lượng ngắt lớn hơn thì có thể mắc nhiều 8259A liên tầng theo hình sau:



### *Hình 4.2: 8259A ghép liên tầng*

## 4.2 Nguyên tắc ghép nối.

* Khi ghép vào CPU thì PIC 8259A được ghép như sau:

8259 PIC

CPU

IRQ0

IRQ1

IRQ2

IRQ3

IRQ4

IRQ5

IRQ7

IRQ6

8 bit data bus

* Sự ưu tiên cố định và số hiệu ngắt tương ứng được thể hiện trong bảng sau:

|  |  |  |
| --- | --- | --- |
| IQR# | Interrupt Type | Device |
| 0 | 08H | System timer |
| 1 | 09H | Keyboard |
| 2 | 0AH | Reserved (2nd 8259) |
| 3 | 0BH | Serial port (COM 1) |
| 4 | 0CH | Serial port (COM 2) |
| 5 | ODH | Hard disk |
| 6 | 0EH | Floppy disk |
| 7 | 0FH | Printer (LPT1) |

* Trong máy tính thế hệ cũ chỉ sử dụng 1 IC 8259A thì thứ tự ưu tiên là: 0, 1, 2, 3, 4, 5, 6, 7.
* Trong các máy tính hiện đại sử dụng hai IC 8259A thì thứ tự ưu tiên là: 0, 1, (8, 9, 10, 11, 12, 13, 14, 15), 3, 4, 5, 6, 7. Các IRQs từ 8 đến 15 thay thế IRQ2
* Các IRQs cách sử dụng được thể hiện trong bảng sau:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| IRQ | Đường BUS | Ưu tiên | Mặc định sử dụng điển hình | Sử dụng thông thường khác |
| 0 | No | 1 | Giờ hệ thống | None |
| 1 | No | 2 | Bộ điều khiển bàn phím | None |
| 2 | No (Rerouted) | n/a | Bộ điều khiển bàn phím | Modem  Card video  COM3(cổng nối tiếp thứ 3)  COM4 (cổng nối tiếp thứ 4) |
| 3 | 8/16-bit | 11 | COM2 (2nd Serial port) | COM4 (cổng nối tiếp thứ tư)  Modem  Card âm thanh  Mạng lưới thẻ  Accelerator thẻ |
| 4 | 8/16-bit | 12 | COM1 (first serial port) | COM3(cổng nối tiếp thứ 3)  Modem  Card âm thanh  Mạng lưới thẻ  Accelerator thẻ |
| 5 | 8/16-bit | 13 | Sound Card | On old PC/XT |
| 6 | 8/16-bit | 14 | Floppy disk controller | LPT2(hai cổng song song)  LPT3(cổng song song thứ 3)  COM3(cổng nối tiếp thứ ba)  COM4(cổng nói tiếp thứ tư)  Modem  Card mạng  Bộ điều khiển đĩa cứng |
| 7 | 8/16-bit | 15 | LPT1 (first parallel port) | LPT2(hai cổng song song)  COM3(cổng nối tiếp  COM4(cổng nói tiếp thứ tư)  Modem  Thẻ âm thanh  Mạng lưới thẻ  Băng accelerator thẻ |
| 8 | No | 3 | Real-time clock | None |
| 9 | 16-bit only | 4 |  | Card mạng  Card âm thanh  SCSI bộ thích ứng chủ  PCI thiết bị ấn định tuyến đường lai IRQ2 thiết bị |
| 10 | 16-bit only | 5 |  | Card mạng  Card âm thanh  SCSI bộ thích ứng chủ  Trung kênh IDE  Thiết bị PCI |
| 11 | 16-bit only | 6 |  | Card mạng  Card âm thanh  Máy chủ SCSI  Card màn hình  Quaternary kenh IDE  Thiết bị PCI |
| 12 | 16-bit only | 7 | PS/2 mouse | Card mạng  Card âm thanh  Máy chủ SCSI  Card màn hình  Quaternary kenh IDE  Thiết bị PCI |
| 13 | No | 8 | Floating Point Unit (FPU / NPU / Math Coprocessor) | None |
| 14 | 16-bit only | 9 | Primary IDE channel | Bộ thích ứng chủ SCSI |
| 15 | 16-bit only | 10 | Secondary IDE channel | Card mạng  SCS |

## 4.3 Cơ chế hoạt động.

### 4.3.1 Hoạt động cơ bản của vi mạch 8259A.

* Quá trình hoạt động cơ bản của vi mạch diễn ra như sau:
* Đầu tiên tín hiệu vào một trong các chân yêu cầu ngắt (IR7 – IR0) được chuyển về mức cao thông báo với 8259A là có yêu cầu phục vụ từ thiết bị ngoại vi.
* 8259A chấp nhận yêu cầu ngắt này, xử lý mức ưu tiên và sau đó gửi tín hiệu INT tới bộ vi xử lý trung tâm CPU-8088.
* CPU 8088 ghi nhận yêu cầu ngắt này và trả lời bằng cách phát đi một một xung INTA.
* Nhận được tín hiệu INTA từ CPU 8259A gửi ra bus dữ liệu một lệnh CALL (mã 11001101) dưới dạng mã nhị phân 8 bit qua các đường dây dữ liệu của nó (D0-D7).
* Lệnh CALL này sẽ yêu cầu CPU gửi thêm hai xung INTA tới 8259.
* Hai xung INTA này cho phép 8259A đưa địa chỉ chương trình ngắt của nó lên bus dữ liệu, 8 bit thấp của địa chỉ đó được gửi khi có xung INTA thứ nhất và 8 bit cao còn lại được gửi khi có xung INTA thứ hai. Kết thúc việc truyền các byte của lệnh CALL lên bus dữ liệu.
* Thanh ghi phục vụ ngắt (ISR) sẽ được giữ nguyên trạng thái và không được khởi tạo lại cho đến khi kết thúc chương trình ngắt, khi có một lệnh EOI (End Of Interrupt)

*Bảng minh họa các hoạt động cơ bản của 8259A.*

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A0 | D4 | D3 | RD | WR | CS | Input Operation (READ) |
| 0 |  |  | 0 | 1 | 0 | IRR, ISR or Interrupt Level data bus (1) |
| 1 |  |  | 0 | 1 | 0 | IMR data bus |
|  |  |  |  |  |  | Output Operation (Write) |
| 0 | 0 | 0 | 1 | 0 | 0 | Data bus OCW2 |
| 0 | 0 | 1 | 1 | 0 | 0 | Data bus OCW3 |
| 0 | 1 | X | 1 | 0 | 0 | Data bus ICW1 |
| 0 | X | X | 1 | 0 | 0 | Data bus OCW1, ICW2,ICW3 |
|  |  |  |  |  |  | Disable Function |
| X | X | X | 1 | 1 | 0 | Data bus 3 - state |
| X | X | X | X | X | 1 | Data bus 3 - state |

1. : Việc lựa chọn thanh ghi IR, ISR hoặc mức ưu tiên của ngắt dựa vào nội dung của từ lệnh OCW5 được ghi trước quá trình đọc trong khoảng thời gian hai xung INTA tiếp theo.

### 4.3.2 Các chế độ hoạt động khác.

#### 4.3.2.1 Chế độ hoạt động đầy đủ (Full Nested Mode)

8259A hoạt động trong chế độ này ngay sau khi thực hiện quá trình khởi tạo mà không cần đến các từ điều khiển hoạt động OCW. Trong chế độ này, các yêu cầu ngắt được sắp xếp theo các mức ưu tiên từ 0 đến 7. Khi một yêu cầu ngắt được chấp nhận, yêu cầu ngắt có mức ưu tiên cao nhất được thực hiện và vector địa chỉ của nó được truyền lên bus dữ liệu. Ngoài ra, một bit thanh ghi phục vụ ngắt được đặt bằng 1. Bit này giữ nguyên giá trị cho đến khi 8088 phát lệnh EOI ngay trước khi trở về từ chu trình phục vụ. Trong khi bit của thanh ghi ISR bằng 1, tất cả các ngắt có mức ưu tiên thấp hơn, những ngắt này chỉ được chấp nhận nếu được 8088 chấp nhận thông qua điều khiển bằng phần mềm bị loại bỏ.8259A hoạt động trong chế độ này khi trong hệ thống có các thiết bị có các yêu cầu ngắt có mức ưu tiên thấp nhất. Thứ tự ưu tiên có thể thay đổi trong chế độ hoán đổi thứ tự ưu tiên được đề cập sau đây

#### 4.3.2.2 Chế độ hoán đổi thứ tự ưu tiên (Rotating Priority Mode)

8259A hoạt động trong chế độ này khi trong hệ thống có các thiết bị có các yêu cầu ngắt có mức ưu tiên tương đương nhau như các kênh truyền thông ...Có hai chế độ hoán đổi mức ưu tiên là chế độ hoán đổi tự động và chế độ hoán đổi đặc biệt:

* Chế độ tự động (Auto Mode)

Trong chế độ này, thiết bị sau khi được phục vụ, được gán cho mức ưu tiên thấp nhất, vì vậy một thiết bị yêu cầu ngắt phải đợi thậm chí có thể phải đợi cho đến khi 7 thiết bị khác được phục vụ xong.

* Chế độ không tự động (Specific Mode)

Trong chế độ này người lập trình viên có thể thay đổi thứ tự ưu tiên ngắt bằng cách lập trình mức ngắt có ưu tiên thấp nhất và bằng cách này xác lập mức ngắt có ưu tiên cao nhất ví dụ néu IR5 được lập trình có mức ưu tiên thấp nhất thì IR6 sẽ có mức ưu tiên cao nhất.

Lệnh điều khiển được xác định trong OCW2, trong đó R =1, SEOI = 1, các bit L2, L1, L0 xác định mức ưu tiên (tính theo hệ thập phân) của thiết bị có mức ưu tiên thấp nhất.

Cần chú ý chế độ này hoạt động độc lập với lệnh EOI và quá trình hoán đổi mức ưu tiên có thể thực hiện trong khi thực hiện lệnh EOI. EOI (End Of Interupt) và SEOI (Specific EOI)

Một lệnh EOI luôn phải được đưa tới 8259 trước khi kết thúc chương trình ngắt để khởi tạo bit tương ứng trong thanh ghi ISR. EOI và SEOI là hai dạng của lệnh EOI là non - specific (không xác định) và specific (xác định). Khi 8259 trong chế độ hoạt động đầy đủ (Fully Neste Mode) nó có thể xác định bit nào trong thanh ghi ISR cần khởi tạo bằng lệnh EOI. Khi nhận được một lệnh non- specific EOI, 8259A sẽ tự động khởi tạo bit cao nhất trong số các bit đã được xác lập. Tuy nhiên, khi một chế độ được xác lập nó sẽ gây ảnh hưởng đến chế độ hoạt động đầy đủ như trong chế độ hoán đổi thứ tự ưu tiên (Rotating Priority Mode),8259 sẽ xác định mức ngắt cuối cùng được ghi nhận. Trong trường hợp này một lệnh một lệnh EOI xác định được gửi đến 8259A trong đó bao gồm cả các bit cần khởi tạo trong thanh ghi IS. Lệnh EOI được thực hiện khi thực hiện khi EOI = "1" trong từ điều khiển OCW2. Lưu ý rằng mặc dù lệnh hoán đổi có thể thực hiện trong suốt quá trình EOI=1 nhưng nó không cần thiết phải làm như vậy.

#### 4.3.2.3 Chế độ che đặc biệt (Special Mask Mode- SMM)

Chế độ này được sử dụng khi có một số bit được xác lập (che - mask) bởi thanh ghi mặt nạ (Interrupt Mask Register) bằng từ lệnh OCW1. Trong chế độ này các mức ngắt ưu tiên thấp hơn đợc cho phép hoạt động cho đến khi chế độ hoạt động được khởi tạo lại. Các mức ưu tiên cao hơn không có tác dụng. Chế độ này được xác lập bằng từ điều khiển OSW3 trong đó ESMM=1, SMM=1 và được khởi tạo lại khi ESSM=1 và SMM=0.

#### 4.3.2.4 Chế độ quay vòng (Polled Mode)

Trong chế độ này, 8088 cấm đường vào INT của nó. Các phục vụ dành cho thiết bị được thực hiện bằng lệnh Poll.

Lệnh Poll được thực hiện bằng cách đặt bit P ="1" trong từ lệnh OCW3 trong suốt quá trình có xung WR. 8259A coi xung RD tiếp theo như tín hiệu xác nhận ngắt, xác lập các mạch lật tương ứng của nó nếu có một yêu cầu ngắt và đọc mức ưu tiên của ngắt.

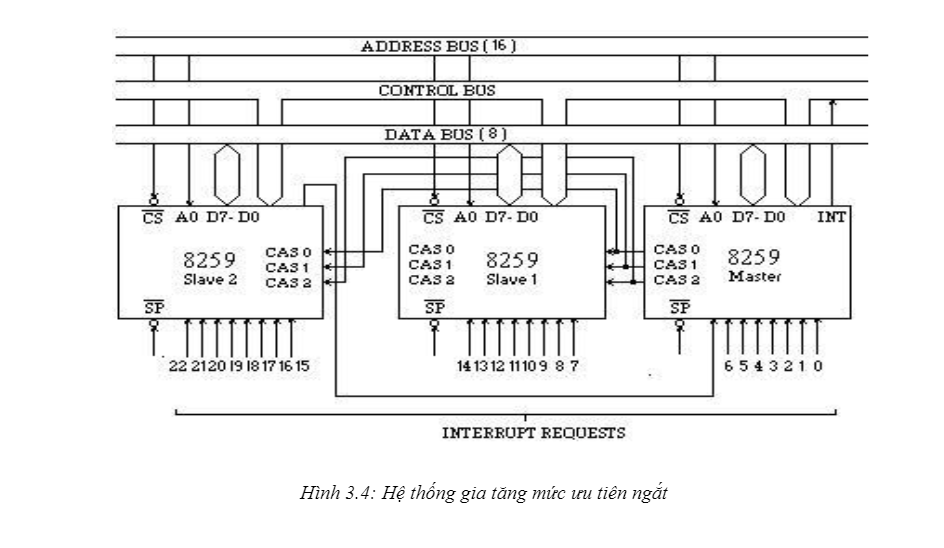
Từ điều khiển trên bus dữ liệu trong quá trình RD là:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| I | - | - | - | - | W2 | W1 | W0 |

Chế độ này có ưu thế khi có một chu trình lệnh thông dụng đối với một vài mức ưu tiên vì thế nên không cần đến tín hiệu INTA. Các ứng dụng khác thường sử dụng chế độ này để mở rộng số lượng các mức ưu tiên ngắt lớn hơn 64 mức.

* Cascading:

Trong chế độ này các vi mạch 8259A được nối với một vi mạch 8259A có vai trò master nhằm tăng số mức ưu tiên ngắt lên tới 64 mức như trong hình vẽ sau:



##### *Hình 4.3: Hệ thống gia tăng mức ưu tiên ngắt*

Trong hệ thống này một vi mạch 8259A đóng vai trò master điều khiển các vi mạch slave thông qua các đường tín hiệu CAS0- CAS2. Các đường tín hiệu ra yêu cầu ngắt được nối với các đầu vào tín hiệu yêu cầu ngắt của vi mạch master. Khi một slave có yêu cầu phục vụ ngắt thì sau khi có tín hiệu chấp nhận, vi mạch master sẽ phát lệnh CALL trong khoảng byte thứ nhất của INTA và cho phép slave tương ứng đưa ra địa chỉ của chương trình ngắt của thiết bị trong khoảng byte thứ hai và thứ ba của INTA.

Các đường dây cascade thông thường ở mức thấp và sẽ chứa địa chỉ của slave trong khoảng thời gian từ sườn lên của xung INTA đầu tiên cho tới sườn lên của xung INTA thứ ba. Như vậy mỗi vi mạch 8259A trong hệ thống phải hoạt động riêng biệt tuần tự và có thể được lập trình hoạt động trong các chế độ khác nhau. Một lệnh EOI phải được phát hai lần, một lệnh cho master và một cho slave tương ứng. Ðồng thời từng vi mạch 8259A trong hệ thống này cần phải được giải mã địa chỉ qua tín hiệu CS.

# Chương 5: Lập trình cho vi mạch 8259A

## 5.1 Trạng thái của vi mạch 8259A

Ðể lập trình điều khiển vi mạch 8259A ta cần phải biết và đọc được các thông tin về trạng thái của vi mạch. Việc kiểm tra các trạng thái của vi mạch có thể thực hiện thông qua việc đọc trạng thái các thanh ghi bên trong. Các thanh ghi sau đây có thể đọc được khi đưa các từ lệnh (OCW) thích hợp cùng với tín hiệu RD cho BUS dữ liệu:

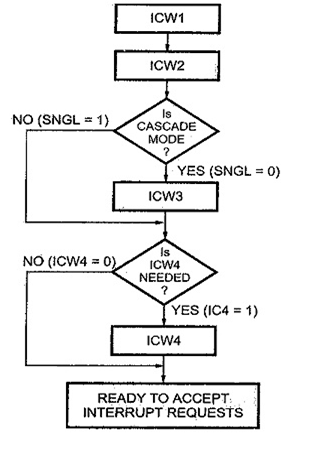
* Thanh ghi yêu cầu ngắt(IRR):
* Là thanh ghi 8 bit chứa thông tin về mức độ ưu tiên ngắt đang yêu cầu và yêu cầu ngắt đã được chấp nhận.
* Mức yêu cầu ngắt có độ ưu tiên cao nhất được khởi tạo trong thanh ghi IRR khi một ngắt được chấp nhận.
* Trạng thái thanh ghi có thể đọc được trước khi có xung RD, có một xung WR cùng với từ lệnh OCW3 và ERIS = 1, RIS = 0.
* Thanh ghi phục vụ ngắt(ISR):
* Là thanh ghi 8 bit chứa thông tin của ngắt đang phục vụ.
* Được cập nhật mỗi khi có một lệnh EOI.
* Trạng thái thanh ghi có thể đọc được trong chế độ tương tự khi ERIS = 1 và RIS = 1.
* Thanh ghi che ngắt(IMR):
* Là thanh ghi 8 bit chứa thông tin về các yêu cầu đang bị che.

## 5.2 Lập trình cho vi mạch 8259A

Vi mạch 8259A được điều khiển bởi hai loại từ lệnh từ CPU: Từ lệnh khởi tạo(Initialization Command Word – ICW) và Từ lệnh hoạt động (Operation Command Word - OCW).

### 5.2.1 Từ lệnh khởi tạo(Initialization Command Word – ICW)

Trước khi các hoạt động bình thường có thể bắt đầu,mỗi vi mạch 8259 trong hệ thống phải được xác lập tuần tự về một trạng thái ban đầu khi có xung WR. Quá trình này được miêu tả trong lược đồ sau:



#### Hình 5.1: lược đồ từ lệnh khởi tạo

Các dạng từ lệnh của vi mạch 8259 có dạng như sau:

* Từ lệnh khởi tạo 1 (ICW1):

#### Hình 5.2: Từ lệnh khởi tạo 1

Khi một từ lệnh khởi tạo với A0 = 0 và D4 = 1 nó được gọi là từ lệnh khởi tạo 1(ICW1) và bắt đầu chu trình khởi tạo một cách tự động như sau:

+ Sau khi có lệnh khởi tạo một tín hiệu yêu cầu ngắt phải được chuyển từ mức thấp lên mức cao để tạo ra một ngắt.

+ Thanh ghi che ngắt (IMR) bị xoá.

+ Ðầu vào IR7 được gán mức ưu tiên là 7.

+ Chế độ che đặc biệt và trạng thái đọc được khởi tạo.

* Từ lệnh khởi tạo 2 (ICW2): xác định số hiệu ngắt

#### Hình 5.3: Từ lệnh khởi tạo 2

* Từ lệnh khởi tạo 3 (ICW3): làm việc ở chế độ chủ và khách

#### Hình 5.4 Từ lệnh khởi tạo 3

- Từ lệnh này được dùng để gọi thanh ghi 8 bit slave. Chức năng của thanh ghi này như sau:

+Nếu 8259 là master,các slave trong hệ thống được đặt bằng 1. Master sau đó sẽ gửi byte 1 của lệnh CALL và sẽ cho phép slave tương ứng gửi tiếp hai byte 2 và 3 theo các đường CAS.  
+Nếu 8259 là slave, các bit 0 đến bit 2 được dùng nhận dạng slave. Slave so sánh các đầu vào CAS của chúng (tín hiệu gửi tới từ master)với các bit này. Nếu chúng bằng nhau,byte 2 và byte 3 của lệnh CALL sẽ được gửi ra.

- Trong trường hợp bit S =1 trong ICW1,sẽ không cần lập trình ICW3.

- Sau khi các các từ lệnh khởi tạo (ICWs) được lập trình cho 8259A,vi mạch đã sẵn sang nhận yêu cầu ngắt tại các đường tín hiệu vào của nó.

* Từ lệnh khởi tạo 4 (ICW4):

#### Hình 5.5: Từ lệnh khởi tạo 4

### 5.2.2 Từ lệnh hoạt động (Operation Command Word - OCW).

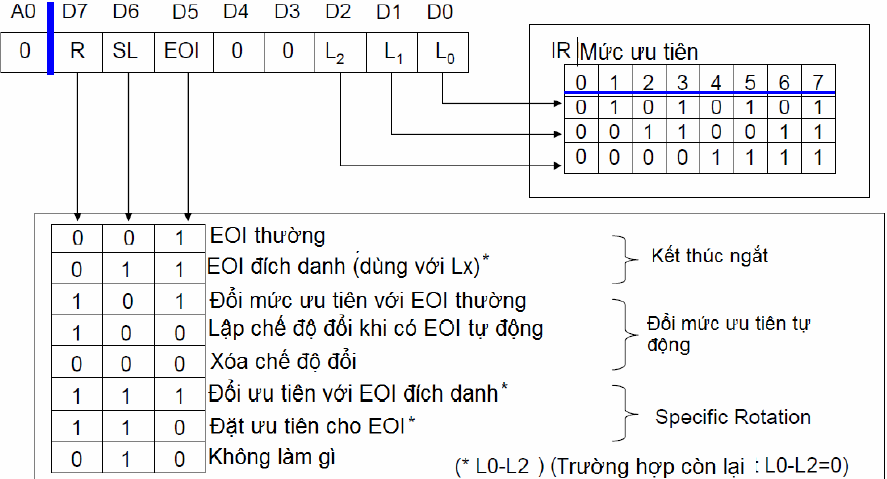
Ðây là những từ lệnh điều khiển 8259 hoạt động trong các chế độ khác nhaunhư đã nêu trên. Các từ lệnh điều khiển này có thể được gửi tới 8259 trong bất cứ lúc nào trong quá trình hoạt động.

Các dạng từ lệnh hoạt động của 8259A như sau:

* Từ lệnh hoạt động 1 (OCW1): Thanh ghi thiết lập và đọc trạng thái yêu cầu ngắt.

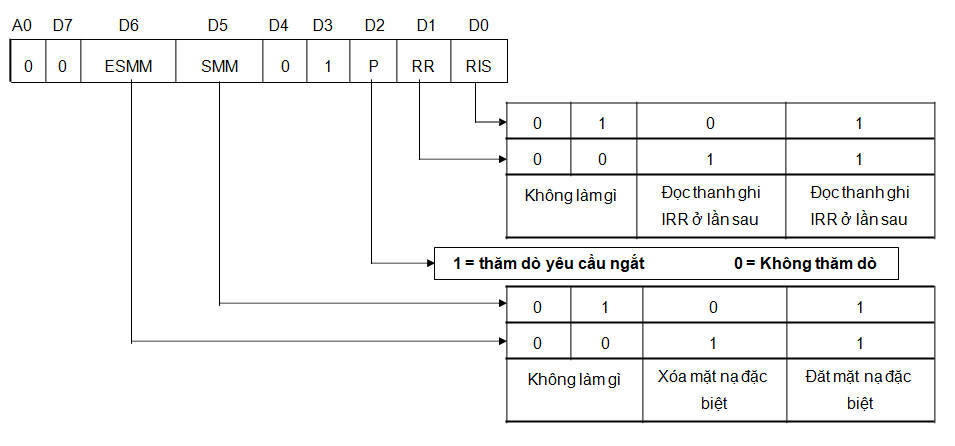
#### Hình 5.6 Từ lệnh hoạt động 1

* Từ lệnh hoạt động 2 (OCW2): Xác định việc xử lí các yêu cầu ngắt của 8259A.



#### Hình 5.7 Từ lệnh hoạt động 2

* Từ lệnh hoạt động 3 (OCW3):
* Chọn các thanh để đọc.
* Thăm dò trạng thái yêu cầu ngắt.
* Thao tác với thanh ghi mặt nạ.



#### Hình 5.8 Từ lệnh hoạt động 3

# Kết Luận

Mạch điều khiển ưu tiên ngắt PIC 8259A là thiết bị vi mạch điều khiển ưu tiên ngắt cho CPU. Thiết bị này giúp xác định ưu tiên ngắt cho CPU, giúp giải quyết bài toán khi có nhiều nhiệm vụ được yêu cầu cùng một lúc, giúp CPU có thể hoạt động được với công suất lớn nhất.

Sau hoàn thiện bài tập lớn, chúng em đãtiếp thu được những kiến thức cơ bản về cấu tạo, chức năng cũng như nguyên tắc hoạt động của mạch điều khiển ưu tiên ngắt PIC 8259A (Priority InterruptCntroller).

Bài tập lớp đã giúp các thành viên có thêm khả năng làm việc nhóm, rèn luyện kỹ năng làm bài tiêu luận và trao đổi thông tin, kiến thức, tài liệu và gắn kết các thành viên trong nhóm.